

基于 FPGA 的 NoC 路由节点的设计

许川佩, 任智新

(桂林电子科技大学 电子工程与自动化学院, 广西 桂林 541004)

摘 要: 在对 NoC 设计技术进行研究的基础上, 建立满足要求的 NoC 路由节点模型, 该模型采用规则的 2D-Mesh 拓扑结构, 基于虚通道技术的虫洞数据交换方式以及无死锁的确定性 XY 维路由算法实现. 用硬件描述语言 Verilog 完成各部分的功能设计, 在 ModeSim 仿真软件下进行功能仿真, 并且在基于 FPGA 的 NoC 系统上实现了路由节点的功能.

关键词: NoC; NoC 路由节点; FPGA

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2012)08-0053-05

The Design of NoC Router Based on FPGA

XU Chuan-pei, REN Zhi-xin

(School of Electronic Engineering and Automatic, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: Based on the researchs of the NoC design technology, building the router model to satisfy the verification platform, the model uses 2D Mesh structure, wormhole routing based on Virtual-Channal, and X-Y routing algorithm which is deterministic, minimal and deadlock-free. Completing various parts of functional design with hardware description language Verilog, Carring on functional simulation under the ModeSim simulation software, and finally realizes this design on the system of NoC based on FPGA.

Key words: NoC; NoC router; FPGA

1 引言

片上网络是为了解决片上系统(System on Chip, SoC)传统总线结构以及全局异步局部同步问题而提出的一种系统设计方法, 自 2000 年提出以来得到迅速发展, 研究领域涉及到 NoC 拓扑结构、交换机制、任务的分配与映射、路由的设计、系统的搭建等问题.

NoC 系统结构包括资源节点、路由节点以及拓扑结构. NoC 中的资源节点可以是各种 IP 核, 典型的资源节点有带缓存的嵌入式微处理器和 DSP 核、专用硬件资源、可重构硬件资源, 或者是上述各种硬件的组合. 路由节点是 NoC 的主要组成部分, 其主要任务是接收来自一个端口的数据包, 根据其中包含的目的地址, 决定转发到哪一个目的地(可能是路由节点也可能是最终目的地), 并决定从哪个端口转

发出去.

FPGA 是在 CPLD 的基础上发展起来的可编程逻辑器件, 其有很高的集成度, 可以完成极其复杂的时序与组合逻辑电路功能. 本文用 Verilog HDL 完成路由单元模块的划分并实现各模块的功能, 并在基于 FPGA 的 NoC 验证平台上实现路由节点的功能.

2 拓扑结构

NoC 的拓扑结构是指片上网络中节点的分布情况和相互之间的连接方式, 它决定了网络中的路由方式、仲裁算法、映射机制以及 IP 资源的分布等问题. 二维网状网络(2D-Mesh)结构^[1]是最常见也是比较简单的一种拓扑结构, 在这种结构中, 每一个资源节点通过资源网络接口与一个路由节点相连, 而一个路由节点除了要和一个资源节点相连之外还

要与其他四个路由节点相连. 资源节点之间的数据收发则需要通过路由节点组成的互连网络进行数据传输. 2D-Mesh 拓扑结构虽然不是最优的网络拓扑结构, 但是以其带宽高、结构简单、良好的复用性等优点受到许多研究者的青睐. 本文以 3×3 的 2D-Mesh 结构作为基本拓扑结构进行路由单元的设计, 基于 2D-Mesh 拓扑结构的 NoC 系统结构如图 1 所示.

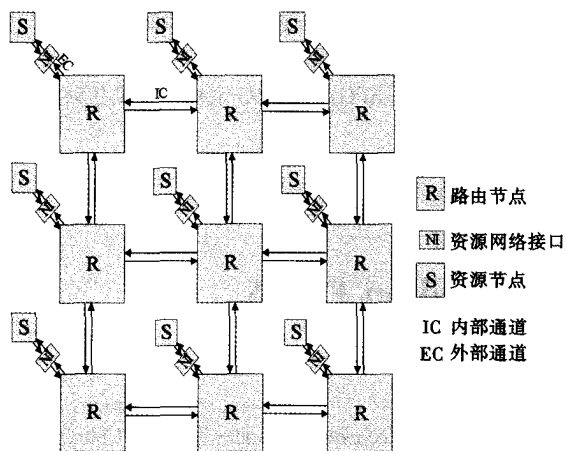


图 1 基于 2D-Mesh 的 3×3 NoC 系统结构模型

3 基于包的数据交换方式

数据包交换方式包括分组交换、虚切通交换和虫洞交换技术^[2] 3 种类型. 因为 NoC 有着有限的缓冲资源和严格的延迟要求, 而虫洞交换技术能满足这两方面的要求, 故本文采用虫洞交换技术.

3.1 虫洞交换技术

虫洞交换机制中将消息分成多个数据包, 再将

数据包分成许多微片 (flit), 由包头 flit 直接从输入链路到输出链路开辟一条路径, 在网络中以流水的方式传送信息. 在这种机制下, 因为每个路由器只需缓存当前的 flit 或者阻塞发生前进来的若干 flit, 而不需要缓存整个数据包, 所以路由器只需要很小的缓存空间.

3.2 数据格式

一个完整的数据包被分成若干个 flit, 为了能使数据包正确到达目的节点, 将 flit 分为 3 种类型, 即头微片、数据微片和尾微片, 头 flit 携带数据包源地址、目的地址、数据包长度等信息, 尾微片代表着数据包的终结, 数据微片存在于二者之间, 是要传递的数据. 本文采用的 flit 共 34 位, 前两位代表微片类型 (01: 头 flit; 10: 尾 flit; 其他: 数据 flit). 微片类型信息是在数据包经过资源网络接口时加入的, 这样数据包在资源节点发出时只需 32 位.

4 路由节点的设计

路由单元包括交换开关 (crossbar), 东、南、西、北、本地五个方向的端口链路控制模块. 交换开关负责路由单元内部各端口链路之间的数据交换. 本地方向模块与本地的资源节点相连, 负责转发本地资源节点发出的以及接收到的数据, 另外四个方向模块与其它路由节点连接. 因为 2D-Mesh 拓扑结构具有对称特性, 因此路由单元东、南、西和北这四个方向的端口具有相同的电路结构. 每个方向端口由以下几部分组成: 虚通道控制器、输入虚通道缓存模块、路由译码器、请求仲裁器. 路由节点模型如图 2 所示.

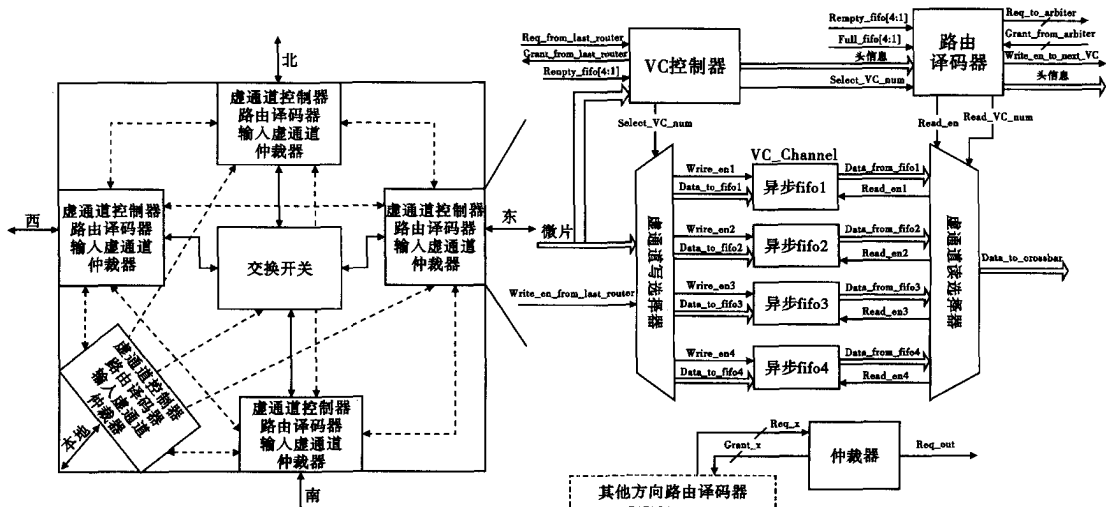


图 2 路由节点模型

4.1 虚通道控制器

虚通道,就是指在两个相连的路由器中一对由共享物理信道连接的缓存。通常,在采用了虫洞路由的片上网络中引入虚通道,可以提高片上网络路由单元的性能,缓解网络拥塞^[3-4]。目前,对基于规则二维网格拓扑结构的片上网络研究过程中发现,虚拟通道的数量超过4以后,其对片上网络性能提高不明显^[5],故本文采用4个虚通道,每个虚通道是一个深度为8、宽度为34的具有双口RAM的异步FIFO。

当收到相邻节点仲裁器发出的请求信号后,虚通道控制器根据当前网络拥塞状况选择一条虚通道同时给相邻节点应答信号。虚通道共享物理通路的同时会竞争物理通路的使用权,而且在数据包传递过程中,可能要经过多个路由单元才能到达目的节点,这样一个完整的数据包就会以微片形式存在于多个路由单元的缓存中,于此同时其他数据包的微片也可能会向这个方向的虚通道发申请,发生堵塞时,路由计算单元接收到数据时并不知道目前申请的帧是否与上个帧属于同一个数据包,若来自两个不同数据包的数据帧目的节点一致,接收端资源节点会

误将这两个帧作为同一个数据包的数据进行处理,所以为了保证数据包的完整性本文采用以下处理方式:

相邻节点发出请求信号的同时送头 flit 至虚通道控制器中,控制器检测到有请求信号 req,判断当前进入的头 flit 是否与之前保存在寄存器中的四个头 flit 相同,只要与其中一个相同,此次请求失败,说明上一个数据包传递过程中发生了堵塞;若都不相同,给出应答信号 grant、保存当前头信息到寄存器 reg_headflit 并选择其中一条虚通道(Select_VC_num)用来接收相邻节点发来的数据。这样就可以保证一个数据包的多个帧在同一个虚通道中传递,发生堵塞时其他数据包的帧在其他虚通道中传递,接收端收到的将是一个完整的数据包而不会再插入其他数据包的帧。虚通道控制器用 ModeSim 仿真的结果如图3所示,图中所示虚通道控制器完成了一次请求——应答过程:资源网络接口发请求到本地方向的虚通道控制器,由于当前4个虚通道均为空,且进入的头 flit 与四个寄存器中存储的皆不相同,故给出应答信号,并选择虚通道1接收资源节点发来的数据。

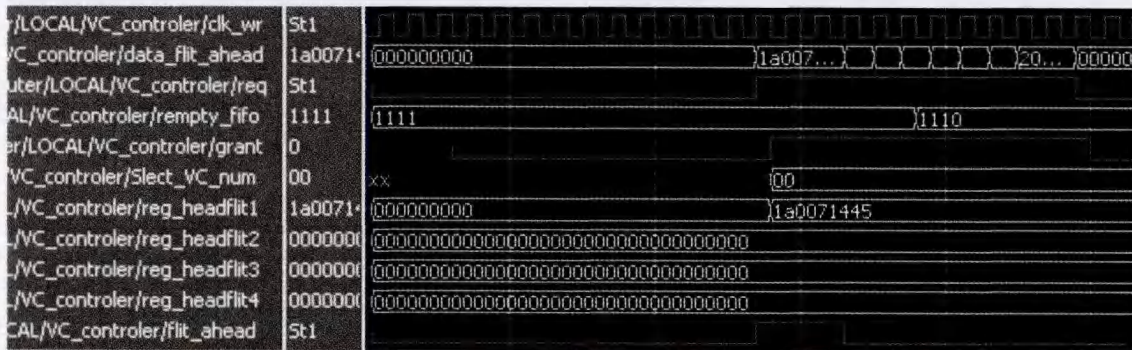


图3 虚通道控制器功能仿真波形

4.2 输入虚通道缓存模块

输入虚通道缓存模块包括三部分:虚通道写选择器、虚通道、虚通道读选择器,虚通道写、读选择器是两个多路选择开关,根据虚通道控制器和路由译码器给出的虚通道号,将相邻节点发来的数据写到某个虚通道中或从某个虚通道中将数据读走,读出来的数据通过 crossbar 送到下个节点的虚通道。虚通道由4个异步的FIFO组成,虚通道不仅用来缓存上一个路由节点转发过来的数据,而且异步FIFO的读、写时钟可以异步,这样路由节点与路由节点之间就可以使用不同步的时钟,从而实现了GALS技术。

4.3 路由译码器

4.3.1 路由算法

路由算法是在源节点和目的节点之间构造一条由正确节点组成的路径。由于受到片上网络面积和资源的限制、片上路由器结构简单要求,本文采用最短路径的确定性源路由算法——XY 维序路由算法^[6],该算法易于实现,路由效率高,不会引入死锁,该算法的伪代码如下:

if(X_目的地址 < X_当前地址)

 向西方向前进

else if(X_目的地址 > X_当前地址)

 向东方向前进

```

else if (X_目的地址 == X_当前地址)
    if (Y_目的地址 < Y_当前地址)
        向南北方向前进
    else if (Y_目的地址 > Y_当前地址)
        向北方向前进
    else 到达目的路由

```

4.3.2 路由计算

当检测到有虚通道满时,路由译码器根据虚通道使用情况选择由虚通道控制器送来的头 flit 信息,调用路由计算函数,判断要转发的方向,向该方向仲裁器发送请求信号 req_x(x 代表五个不同的方向),一旦得到响应信号 grant_x,译码器控制虚通道读选择器读出虚通道的数据并送到交换开关,从而建立链路,若得不到应答信号或输入虚通道读空时,断开与交换开关的链接并选择其他非空出入虚通道进行数据传输。路由译码器的仿真波形图如图 4 所示,图中路由译码器完成了一次译码过程:当虚通道 1 写满时,译码器选择寄存器 1 中的头信息进行译码,发请求信号 req_e 到东方向,待得到东方向的应答信号 grant_e 后,令 rden_invc 有效,使虚通道读

选择器读出虚通道 1 中的数据送到交换开关,建立本地方向与东方向之间的链路。

4.4 请求仲裁模块

对于路由节点的一个方向来说,可能会同时收到来自其他 4 个方向的请求信号,这时就需要请求仲裁模块依据某种仲裁机制选择其中一个作为请求信号,本文采用轮询的方式,选择一个方向的请求信号并向下个路由发送申请,得到响应后,给该方向的路由译码器准许应答信号,待请求信号消失后继续轮询其他方向的请求信号。

4.5 交换开关

交换开关的功能是将数据从一个端口的输入缓冲中交换到另一个端口的输入缓冲,可认为是由 5 个 4 选 1 的 34 位多路选择器组成,数据进入交换开关的某一方向端口时,由选择器根据几个方向之间的控制信号选择输出端口,使输入与输出端口建立链路,将数据转发到另一个方向。图 5 所示为一帧数据在路由节点本地方向进入虚通道,经过交换开关从东方向输出的数据传输示意图。

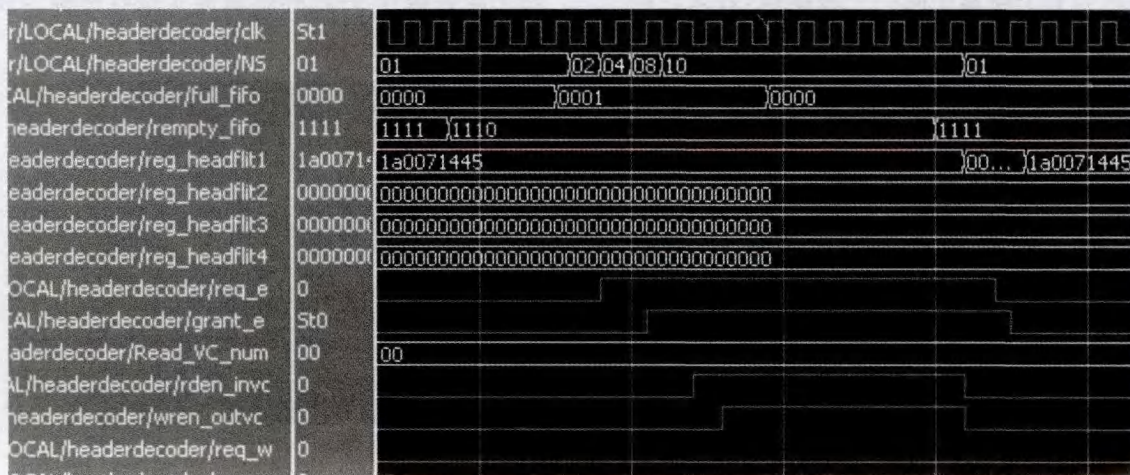


图 4 头译码器功能仿真波形图

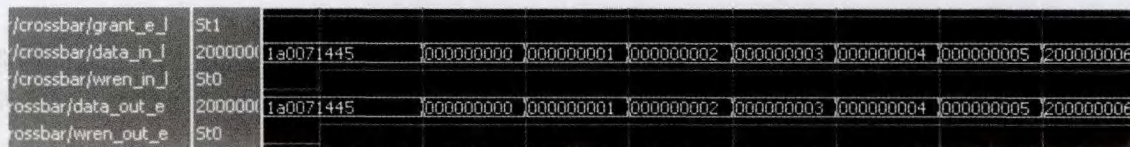


图 5 数据传输示意图

5 功能验证

各模块用 Verilog HDL 完成功能设计,在 ModeSim 6.6d EDA 仿真工具环境下进行完整路由节点功能验证,然后在 Quartus II 11.0 设计环境下

进行路由节点的综合和布局布线,完成九个路由节点相互转发的调试工作,图 6 所示为综合后资源使用情况。最后与资源节点相结合,在基于 ALTERA 公司 Cyclone IV E 系列 FPGA 芯片 EP4CE115F29C7 搭建的 NoC 系统中实现了数据通

讯的功能,系统包括九个路由节点和九个资源节点,资源节点包括 A/D;D/A;图像采集等模块,任意两个资源节点之间通过路由节点进行数据通信而不再使用总线的通讯方式,从而克服了 SoC 总线互连带来的一些的问题。

Flow Status	Successful - Fri Dec 09 15:38:14 2011
Quartus II Version	11.0 Build 157 04/27/2011 SJ Web Edition
Revision Name	nine_router_new
Top-level Entity Name	nine_router_new
Family	Cyclone IV E
Device	EP4CE115F29C7
Timing Models	Final
Total logic elements	27,681 / 114,480 (24 %)
Total combinational functions	19,367 / 114,480 (17 %)
Dedicated logic registers	22,863 / 114,480 (20 %)
Total registers	22863
Total pins	1 / 529 (<1 %)
Total virtual pins	0
Total memory bits	290,816 / 3,981,312 (7 %)
Embedded Multiplier 9-bit elements	0 / 532 (0 %)
Total PLLs	1 / 4 (25 %)

图6 路由节点综合后资源使用图

6 结束语

本文设计的基于 2D-Mesh 拓扑结构的 NoC 路由节点采用简单易行的路由算法和仲裁机制,以及虫洞交换技术和虚通道技术实现了路由转发的功能,并应用于 NoC 系统中,该系统从体系结构上解决了基于传统总线结构的片上通讯的瓶颈和单一时钟等问题,使片上系统设计在性能、延时、功耗和可

靠性等方面有了很大的改善,对以后集成电路设计技术的发展有着重大现实意义。

参考文献:

- [1] 张恒龙,顾华玺,王长山. 片上网络拓扑结构的研究[J]. 中国集成电路,2007,102(11):42-46.
- [2] 周迎春,饶永. 一种基于虫洞交换的竞争预测路由算法[J]. 计算机应用与软件,2009,26(8):199-202.
- [3] 张旭. NoC 通信节点设计技术研究[D]. 西安:西安电子科技大学,2009.
- [4] 王剑,王宏,杨志家. NOC 路由节点 VLSI 设计[J]. 微电子学与计算机,2010, 27(1):9-12.
- [5] Jingcao Hu, Umit Y Ogras, Radu Marculescu. System-level buffer allocation for application-specific networks-on-chip router design[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2006,25(12):2919-2933.
- [6] 丁帅,吴宁,葛芬,等. 片上网络路由单元的系统级建模研究[J]. 微电子学与计算机,2009, 26(1):93-96.

作者简介:

许川佩 女,(1968—),博士,教授,硕士生导师.研究方向为集成电路测试及嵌入式系统应用.

任智新 女,(1987—),硕士研究生.研究方向为集成电路设计.